

特開平9-219449

(43) 公開日 平成9年(1997)8月19日

(51) Int.Cl. ⁶	識別符号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	B
21/28			21/28	U
21/3205			21/88	K

審査請求 未請求 請求項の数 5 O L (全 7 頁)

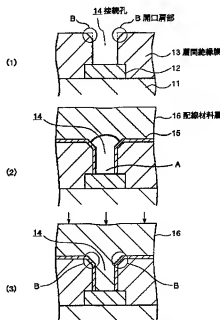
(21) 出願番号	特願平8-23932	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成8年(1996)2月9日	(72) 発明者	小山 一英 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	田口 亮 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	弁理士 船橋 國則

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 高圧リフロー処理を行う際、リフロー特性を確保するための基板加熱温度とリフロー雰囲気内の圧力とによってプロセスの容易性が左右される。

【解決手段】 第1工程では、層間絶縁膜13の一部分をエッチングして層間絶縁膜13に接続孔14を形成する。次いで、層間絶縁膜13を表面からスパッタエッチングすることによって、接続孔14の開口肩部Bを集中的にエッチング除去して開口肩部Bの曲率半径を大きくする。第2工程では、接続孔14の内壁を含む層間絶縁膜13上に下地金属膜15を成膜し、次いで下地金属膜15上に接続孔14内を塞ぐ状態で配線材料層16を成膜する。第3工程では、高圧リフローによって配線材料層16の一部を接続孔14内に押し込み、接続孔14内に配線材料層16を埋め込む。この際、接続孔14の開口肩部Bは曲率半径が大きく摩擦抵抗が小さくなっているため、リフロー特性を確保するための基板加熱温度とリフロー雰囲気内の圧力とが小さく抑えられる。



第1実施形態を説明する製造工程図

【特許請求の範囲】

【請求項1】 接続孔が形成された層間絶縁膜上に当該接続孔内を塞ぐ状態で配線材料層を成膜し、高圧リフローによって前記配線材料層の一部を前記接続孔内に押し込む半導体装置の製造方法において、

前記接続孔は、その開口肩部の開口幅が深さ方向に向かって徐々に小さくなる形状に形成されることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記接続孔は、前記層間絶縁膜の一部をエッチングによって略垂直方向にエッチング除去した後、当該層間絶縁膜の表面をスパッタエッチングすることによって形成されることを特徴とする半導体装置の製造方法。

【請求項3】 層間絶縁膜に形成された接続孔の内壁を含む当該層間絶縁膜上に下地金属膜を成膜し、次いで当該下地金属膜上に前記接続孔内を塞ぐ状態で配線材料層を成膜した後、高圧リフローによって前記配線材料層の一部を前記接続孔内に押し込む半導体装置の製造方法において、
前記下地金属膜は、前記接続孔の開口肩部の開口幅を深さ方向に向かって徐々に小さくする形状に形成されることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置の製造方法において、

前記下地金属膜は、高温スパッタ法によって成膜されることを特徴とする半導体装置の製造方法。

【請求項5】 請求項3記載の半導体装置の製造方法において、

前記下地金属膜は、バイアスパッタ法によって成膜されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に高圧リフロー法によって接続孔内に配線材料を埋め込む半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の高集積化及び高機能化にともなってデバイス構造の微細化が進展すると、層間絶縁膜に形成されるコンタクトホールやヴィアホール等の接続孔はその開口幅が狭くかつ深くなる。ところが、このようにアスペクト比が高くなった接続孔内に、スパッタ成膜法によって配線材料層を埋め込もうとすると、シャドウイング効果の影響を受けて接続孔の底面に近い部分のカバレッジが得られずこの接続部分で断線が生じるという不具合が発生する。このため、半導体装置の製造工程においては、上記スパッタ成膜法に代わる方法として高圧リフロー法が行われている。

【0003】以下に、上記高圧リフロー法を適用した半

導体装置の製造方法を説明する。まず、図4(1)に示すように、例えば基板11上に下層配線12を形成し、この下層配線12を覆う状態で基板11上に層間絶縁膜13を成膜する。リソグラフィ法によって形成したレジストパターン(図示せず)をマスクに用いたエッチングによって、下層配線12に達する接続孔14を層間絶縁膜13に形成する。次いで、図4(2)に示すように、接続孔14の内壁を含む層間絶縁膜12を覆う状態で、スパッタ成膜法によって下地金属膜15を成膜する。その後、層間絶縁膜13上に配線材料層16をスパッタ成膜する。この際、接続孔14の上部で配線材料層16がブリッジ形状を成して接続孔14の開口が配線材料層16で塞がれ、接続孔14の内部に空隙Aが形成されるように配線材料層16を成膜する。

【0004】次に、図4(3)に示すように、配線材料層16を再結晶温度以上融点以下に加熱して軟化させると共に不活性ガスで満たされた高圧雰囲気によってこの配線材料層16の一部を接続孔14内に押し込む、いわゆる高圧リフロー法によって接続孔14内に配線材料層16で埋め込む。

【0005】

【発明が解決しようとする課題】しかし、上記半導体装置の製造方法には、以下のような課題があった。すなわち、図4(1)で示した層間絶縁膜13のエッチングによって形成される接続孔14は、その側壁と層間絶縁膜13の表面とで構成される開口肩部Bがほぼ垂直になる。そして、図4(2)で示したように、このような接続孔14の内壁を覆う状態で下地金属膜15をスパッタ成膜すると、シャドウイング効果によって接続孔14の開口肩部Bを覆う下地金属膜15部分が接続孔14の側壁を覆う部分よりも内側に張り出した形状になる。このため、図4(3)に示したように、高圧リフローによって接続孔14内に配線材料層16を押し込む際、この開口肩部Bでの摩擦が大きくなる。このような場合に、配線材料層16の埋め込み特性を確保するためには、より高温かつ高圧でのリフローを行う必要がある。例えばA1(アルミニウム)を主成分とする配線材料層16の場合には、リフロー温度を450℃以上、リフロー雰囲気内圧力を 10^8 Pa以上にする必要がある。この結果、処理装置が大型化し、高温で処理する際に層間絶縁膜13から脱ガスが発生してプロセスの安定性が損なわれるという問題があった。

【0006】

【課題を解決するための手段】そこで本発明は、高圧リフローによって接続孔内に配線材料層を埋め込む半導体装置の製造方法において、開口肩部の開口幅が深さ方向に向かって徐々に小さくなる形状の接続孔を基板上の層間絶縁膜に形成するか、または、接続孔の内壁を含む上記層間絶縁膜上に当該接続孔の開口肩部の開口幅を深さ方向に向かって徐々に小さくする状態で下地金属膜を成

膜することを上記課題を解決するための手段としている。

【0007】上記製造方法では、高圧リフローによって接続孔内に配線材料層を埋め込む際の当該接続孔の形状は、その開口肩部の開口幅が深さ方向に向かって徐々に小さくなっているため、当該開口肩部における摩擦抵抗が少なくなる。したがって、高圧リフローの際の基板温度及び圧力をより低い値に設定して配線材料層の埋め込みが行われる。

【0008】
【発明の実施の形態】以下、本発明の半導体装置の製造方法及び半導体装置を、図面に基いて説明する。図1(1)～(3)は、本発明の半導体装置の製造方法の一例を説明する製造工程図であり、これらの図を用いて半導体装置の製造方法の第1実施形態を説明する。先ず、図1(1)に示す第1工程では、例えばシリコンからなる基板111上に下層配線(配線)12を形成する。次 *

スパッタガス及び流量 : Ar (アルゴンガス) = 100 sccm
ただし、sccmはstandard cubic centimeter / minとする。
エッチング雰囲気内圧力 : 0.4 Pa
RF電圧 : 1 kV
基板加熱温度 : 300℃
エッチング時間 : 3 min

【0011】次に、図1(2)に示す第2工程では、接続孔14の内壁を含む層間絶縁膜13上にトレスマイグレーションによる断線不良防止及び濡れ性改善用の下地金属膜15を成膜する。この下地金属膜15の一例とし*

Ti成膜条件

スパッタガス及び流量 : Ar = 100 sccm
成膜雰囲気内圧力 : 0.4 Pa
DC電力 : 5 kW
基板加熱温度 : 300℃

TiN成膜条件

スパッタガス及び流量 : Ar = 30 sccm
N₂ (窒素ガス) = 80 sccm
成膜雰囲気内圧力 : 0.4 Pa
DC電力 : 5 kW
基板加熱温度 : 300℃

【0013】尚、下地金属膜15として用いる材料は上記に限定されず、TiW (チタンタングステン)、W (タングステン) 等のように、信頼性上の冗長効果と共に成膜する配線材料層16に対する濡れ性とを有する材料であれば適用可能である。

【0014】次いで、下地金属膜15上に配線材料層16をスパッタ成膜する。この際、接続孔14上で配線材料層16がブリッジ形状を成すことによって接続孔14内を当該配線材料層16で塞ぎ、接続孔14の内部に空隙Aが形成されるように、少なくとも接続孔14の開口幅よりも配線材料層16の膜厚の値を大きく、例えば0.5 μm程度の膜厚に設定する。またここでは、この★50

*に、この下層配線12を覆う状態で、基板11上に酸化シリコンからなる層間絶縁膜13を成膜する。その後、リソグラフィ法及びエッチング法によって、下層配線12にまで達する接続孔14を層間絶縁膜13に形成する。一例として、この接続孔14の開口幅は0.35 μm、アスペクト比は2程度であることとする。

【0009】以上の工程までを従来と同様に行った後、層間絶縁膜13の表面をスパッタエッチングし、接続孔14の開口肩部Bの層間絶縁膜13部分を集中的にエッチング除去する。これによって、接続孔14の開口肩部Bの曲率半径を大きくし、当該接続孔14の上部においては開口幅が深さ方向に向かって徐々に小さくなるようにする。また、このスパッタエッチングでは、接続孔14底面のエッチクリーニングも同時に行われる。

【0010】以下に、上記スパッタエッチング条件の一例を示す。

※では、Ti 20 nm、TiN 50 nmを下層から順に積層させた構成にする。

【0012】以下に、下地金属膜15の成膜条件の一例を示す。

★配線材料層16として、例えば0.5重量%のCu (銅) を含有するA1を用いる。この配線材料層17としては、上記の他にもA1またはA1を主成分とする通常の配線材料やCuまたはCuを主成分とする配線材料が用いられる。また、上記Cuを含有するA1を用いる場合にも、Cuの含有量は上記に限定されるものではない。

【0015】以下に、上記成膜条件の一例を示す。

スパッタガス及び流量 : Ar = 100 sccm
成膜雰囲気内圧力 : 0.4 Pa
DC電力 : 20 kW
基板加熱温度 : 400℃

尚、上記スパッタ成膜においては、基板加熱温度を400℃と高めに設定することで、接続孔14の上部で配線材料層16がブリッジ形状になり易いようにしている。

【0016】次に、第3工程では、図1(3)に示すように高圧力の不活性ガス雰囲気内で熱処理を行うことに*

リフロー雰囲気内圧力: 1.0^4 Pa以上 (Ar雰囲気内)
 基板加熱温度: 420℃
 加熱時間: 1分

【0017】上記半導体装置の製造方法によれば、図1(1)を用いて説明した第1工程で、層間絶縁膜13のスパッタエッチングによって接続孔14の開口肩部Bの開口幅が深さ方向に向かって徐々に小さくなるようにした。このため、図1(2)を用いて説明した第2工程で下地金属膜15をスパッタ成膜する際、シャドウウイング効果が起きにくくなり、接続孔14の開口肩部B上における下地金属膜15の膜厚が特に厚くなることはない。したがって、図1(3)を用いて説明した第3工程で高圧リフローを行う際の接続孔14は、その開口肩部Bの開口幅が深さ方向に向かって徐々に小さくなる形状に保たれ、当該開口肩部Bにおける摩擦抵抗が少なくなる。したがって、高圧リフローの際には、基板加熱温度を従来の450℃から420℃に、リフロー雰囲気内圧力の下限を 1.0^4 Paから 1.0^4 Paに低下させることができる。また、接続孔14は、その開口肩部Bのみが丸みを持つて形成されることから、接続孔の側壁をテーパ形状に形成した場合のように、上部の開口幅が広くなりすぎて配線材料層がブリッジ形状になり難くなることもない。

【0018】尚、上記高圧リフローの際の基板加熱温度は、リフロー雰囲気内の圧力の下限を上記実施形態よりも高めに設定することで配線材料層16の再結晶温度(ここでは、350℃)にまで下げることが可能である。ただし、好ましくは、配線材料層16の成膜温度(この実施形態では400℃)よりも高い温度範囲に設定するようにする。

【0019】次に、図2を用いて本発明の半導体装置の第2実施形態を説明する。まず、図2(1)に示す第1工程では、上記第1実施形態で図1(1)を用いて説明したと同様に層間絶縁膜13に接続孔14を形成する。ただしここでは、層間絶縁膜13を表面からスパッタエッチングする工程は行わない。次いで、接続孔14の底面のエッチクリーニングを行った後、図2(2)に示す第2工程では、接続孔14の内壁を含む層間絶縁膜13上に、上記第1実施形態と同様の材質からなる下地金属膜15を成膜する。ただし、この下地金属膜15の成膜は、基板加熱温度を350℃～550℃の範囲内に設定した高温スパッタ法によって行われることとする。この基板加熱温度は、上記範囲内において、使用する材料やプロセスへの適用性を考慮し、好ましくは下層配線12の信頼性が確保され、基板11を構成するシリコンのシメ50

*よって、酸化を防止しながら流動化させた配線材料層16の一部を不活性ガス雰囲気の高圧で接続孔14内に押し込む、いわゆる高圧リフロー処理を行う。以下に、上記高圧リフロー条件の一例を示す。

※リサリド化を防止できる値に設定する。

10 【0020】以下に、高温スパッタ成膜による下地金属膜15の成膜条件の一例を示す。

Ti成膜条件

スパッタガス及び流量: Ar=100 sccm
 成膜雰囲気内圧力: 0.4 Pa
 DC電力: 5 kW
 基板加熱温度: 500℃

TiN成膜条件

スパッタガス及び流量: Ar=30 sccm
 N_2 =80 sccm
 成膜雰囲気内圧力: 0.4 Pa
 DC電力: 5 kW
 基板加熱温度: 500℃

以下の工程は、上記第1実施形態と同様に行う。

【0021】上記半導体装置の製造方法によれば、図2(2)を用いて説明した第2工程で、高温スパッタ法によって下地金属膜15を成膜することから、下地金属膜15は、成膜表面において成膜材料をマイグレートさせながら成膜したものになる。このため、通常のスパッタ法によって下地金属膜を成膜する場合と比較して、接続孔14の開口肩部B上を覆う下地金属膜15部分は、その曲率半径が大きく、接続孔14の開口肩部Bの開口幅を深さ方向に向かって徐々に小さくする形状になる。したがって、上記第1実施形態と同様に、図2(3)を用いて説明される第3工程では、配線材料層16を高圧リフロー処理する際に当該開口肩部Bにおける摩擦抵抗が少なくなり、基板加熱温度及びリフロー雰囲気内圧力の下限を低下させることができる。

【0022】次に、図3を用いて本発明の半導体装置の第3実施形態を説明する。ここで説明する半導体装置の製造方法と上記第2実施形態で説明した方法との違いは、図3(2)で示した第2工程で下地金属膜15を成膜する際、バイアスパッタ法によって行う点にある。そして、この工程以外は、上記第2実施形態と同様に行う。

【0023】以下に、バイアスパッタ成膜による下地金属膜15の成膜条件の一例を示す。

T1成膜条件

スパッタガス及び流量: $Ar = 100 \text{ sccm}$
 成膜雰囲気内圧力: 0.4 Pa
 DC電力: 5 kW
 基板加熱温度: 300°C
 基板印加DC電圧: -200 V

T1N成膜条件

スパッタガス及び流量: $Ar = 30 \text{ sccm}$
 $N_2 = 80 \text{ sccm}$
 成膜雰囲気内圧力: 0.4 Pa
 DC電力: 5 kW
 基板加熱温度: 300°C
 基板印加DC電圧: -200 V

【0024】上記スパッタ成膜法では、DC電圧が印加された基板11に向かって入射するArイオンによって特に接続孔14の開口肩部Bに付着した下地金属膜材料を再スパッタしながら成膜が進行する。このため、ここで成膜された下地金属膜15は、通常のスパッタ法で成膜した下地金属膜と比較して、接続孔14の開口肩部B上を覆う下地金属膜15部分の曲率半径が大きくなり、接続孔14の開口幅を深さ方向に向かって徐々に小さくする形状になる。したがって、上記第1及び第2実施形態と同様に、図3(3)を用いて説明される第3工程では、配線材料層16の高圧リフロー処理を行う際に接続孔14の開口肩部Bにおける摩擦抵抗が少なくなり、基板加熱温度及びリフロー雰囲気内圧力の下限を低下させることができる。

【0025】以上説明した各実施形態は、第1実施形態と第2実施形態及び第3実施形態のうちの少なくともいづれか一つの実施形態とを組み合わせたり、第2実施形態と第3実施形態とを組み合わせることも可能

である。このように、各実施形態を組み合わせる方法によれば、上記各実施形態を単独で実施する場合よりも接続孔の開口肩部の曲率半径がさらに大きくなり、高圧リフロー処理の際の基板加熱温度及びリフロー雰囲気内圧力の下限をさらに低下させることができる。また、接続孔14は基板11の表面側に形成された拡散層に達するものでも良い。ただしこの場合、基板と配線材料層とのバリア性を確保するため、拡散層をバリアメタルで覆うか、または下地金属膜としてバリア性を有する材料を用いることとする。

【0026】

【発明の効果】以上説明したように本発明の半導体装置の製造方法によれば、高圧リフローによって接続孔内に配線材料層を埋め込む際の当該接続孔の形状を、その開口肩部の開口幅が深さ方向に向かって徐々に小さくなるようにすることで、当該開口肩部における摩擦抵抗を少なくし、高圧リフローの際の基板温度及び圧力をより低い値に設定して配線材料層の埋め込みを行なうことができる。したがって、半導体装置の製造装置の小規模化及びプロセスの安定性を確保することが可能になる。

【図面の簡単な説明】

【図1】第1実施形態を説明する製造工程図である。

【図2】第2実施形態を説明する断面図である。

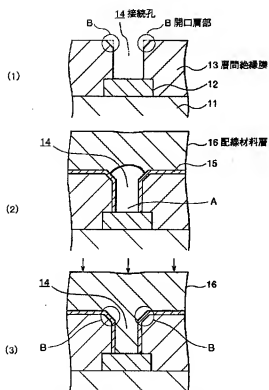
【図3】第3実施形態を説明する断面図である。

【図4】従来例を説明する製造工程図である。

【符号の説明】

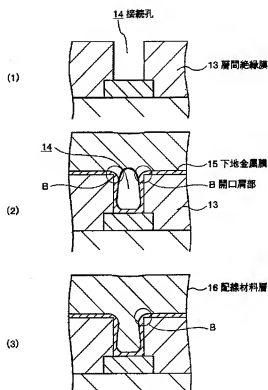
- 13 層間絶縁膜 14 接続孔 15 下地金属膜
 16 配線材料層 B 開口肩部

【図1】



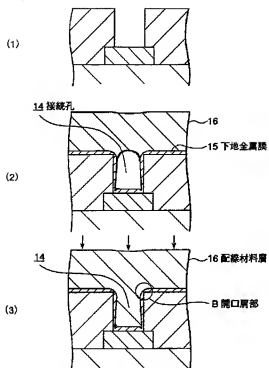
第1実施形態を説明する製造工程図

【図2】



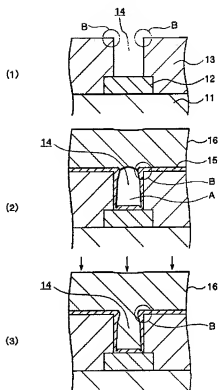
第2実施形態を説明する製造工程図

【図3】



第3実施形態を説明する製造工程図

【図4】



従来例を説明する製造工程図

DERWENT-ACC-NO: 1997-468385

DERWENT-WEEK: 200516

COPYRIGHT 2008 DERWENT INFORMATION LTD

TITLE: Semiconductor device mfg method
involves forming wiring
material layer on interlayer
insulating film, which is
pushed into hole with
chamfered openings, by
applying high pressure reflow
technique

INVENTOR: KOYAMA K; TAGUCHI M

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1996JP-023932 (February 9, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
JP 09219449 A	August 19, 1997	JA
JP 3624513 B2	March 2, 2005	JA

APPLICATION-DATA:

PUB-NO	APPL- DESCRIPTOR	APPL-NO	APPL-DATE
JP	N/A	1996JP-	February
09219449A		023932	9, 1996
JP	Previous Publ	1996JP-	February
3624513B2		023932	9, 1996

INT-CL-CURRENT:

TYPE	IPC DATE
CIPP	H01L21/28 20060101
CIPS	H01L21/3205 20060101
CIPS	H01L21/768 20060101
CIPS	H01L23/522 20060101

ABSTRACTED-PUB-NO: JP 09219449 A**BASIC-ABSTRACT:**

The method involves forming a hole (14) in the interlayer insulating film (13) of a semiconductor device. The hole which has chamferred openings (B) reduces laterally towards its bottom, in a gradual manner.

A film forming the wiring material layer (16) is formed on the interlayer insulating film. The wiring material layer is pushed into the hole by high pressure reflow technique.

ADVANTAGE - Reduces frictional resistance in

hole opening. Requires lower temperature and pressure for reflow of wiring material into hole.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: SEMICONDUCTOR DEVICE
MANUFACTURE METHOD FORMING WIRE
MATERIAL LAYER INTERLAYER
INSULATE FILM PUSH HOLE OPEN
APPLY HIGH PRESSURE REFLOW
TECHNIQUE

DERWENT-CLASS: U11

EPI-CODES: U11-C05D; U11-D03B3;

SECONDARY-ACC-NO:

**Non-CPI Secondary Accession
Numbers:**

1997-390782